

Подходы к проектированию отказоустойчивой версии процессора LEON3

Работа выполнена в рамках реализации конкурса научно-технических исследований, разработок, инновационных программ и проектов для обеспечения конкурентных преимуществ экономики Красноярского края (Дополнительное соглашение от 05.07.2012 г. № 03/12 к Соглашению № 5 от 06.08.2009 г.)

Чекмарёв Сергей Анатольевич – аспирант Сибирского государственного аэрокосмического университета имени академика М.Ф. Решетнева.
(г.Красноярск)

Аннотация: Представлены результаты работы по повышению отказоустойчивости процессора LEON3. Приведено описание модели тестирования архитектурной отказоустойчивости процессора LEON3. Показаны результаты испытаний.

Ключевые слова: Малые космические аппараты, система на кристалле, микропроцессор LEON3.

Существует практика применения индустриальных изделий микроэлектроники (COST) в электронной аппаратуре малых космических аппаратов (МКА) [1]. Существенным фактором развития данного подхода является доступность приобретения предлагаемых элементов в кратчайшие сроки по минимальным ценам.

Вследствие воздействия ионизирующего излучения (ИИ) на аппаратуру МКА, к вычислительно-управляющим системам предлагаемых индустриальных решений предъявляются высокие требования по повышению отказоустойчивости. Увеличение надёжности предлагаемых систем достигается путём применения схем горячего/холодного резервирования, проектированием схем мажорирования [2]. Данные подходы повышают надёжность системы, однако, введённая в результате избыточность неизбежно увеличивает стоимость проекта, энергопотребление, массогабаритные характеристики. Вследствие малых сроков эксплуатации, необходимая надёжность МКА может быть достигнута за счёт повышения отказоустойчивости микропроцессора.

Всё это определяет необходимость создания отечественного отказоустойчивого микропроцессора, отвечающего современным требованиям развития технологий.

Наиболее уязвимым местом микропроцессора являются Кэш память и регистровый файл. Одиночные сбои в этих блоках, вызванные воздействием ИИ могут привести к отказу работы микропроцессора, а значит и всей системы в целом. Рассмотрим подходы повышения надёжности микропроцессора.

Необходимую надёжность можно обеспечить путём создания дублированных блоков памяти с применением кодов обнаружения ошибок. Так, например, контроль целостности данных можно осуществлять циклическим избыточным кодом – CRC. Это очень мощный и широко используемый метод обнаружения ошибок передачи информации. Необходимо отметить, что CRC не обязательно вычислять для больших массивов данных. Его можно вычислять и для отдельных строк текста и даже слов с целью организации простейшего контроля целостности и отождествления символьных (числовых) последовательностей. Таким образом, данный код может использоваться для обнаружения ошибки в памяти процессора.

Применение кода коррекции ошибок Рида - Соломона также может помочь справиться с возникновением ошибки в памяти. В настоящее время данный код широко используется в системах восстановления данных с компакт-дисков в случае повреждений. Однако, реализация данного кода внутри микропроцессорного ядра сказывается на его производительности. Применение данного кода может быть более эффективно при реализации отказоустойчивого контроллера памяти (устройства, соединяющее процессор с внешней памятью).

Базой, разрабатываемого микропроцессора стал процессор LEON3. Спроектированный Европейским центром космических исследований и космических технологий для применения в космических проектах LEON представляет собой 32-разрядный RISC микропроцессор архитектуры SPARC. Доступная версия процессора LEON3 (не для критических применений) распространяется по лицензии GNU General Public License, имеет открытый исходный код, написанный на языке VHDL, доступный на сайте разработчика (компании Aeroflex Gaisler). Внеся в исходный код IP-блока процессора необходимые изменения, предлагается повысить его отказоустойчивость.

Разработанный блок REG FILES FT имеет структуру, представленную на рис 1.

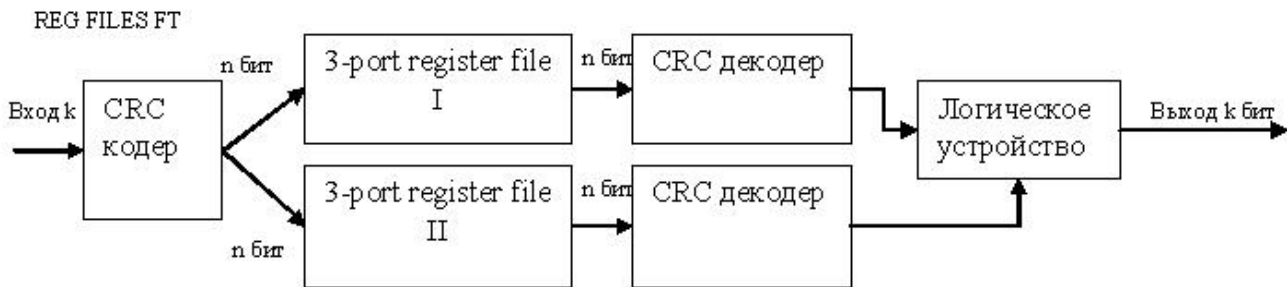


Рисунок 1. Структура блока REG FILES FT

На вход crc кодера подаётся 32-х битная последовательность данных k. Он вычисляет контрольную сумму CRC и записывает новую 36-битную последовательность n в 3-port register file I и в 3-port register file II. Они дублируют друг друга. При обращении процессора к REG FILES FT последовательность n подаётся на CRC декодер. При обнаружении ошибки в 3-port register file I логическое устройство вернёт на запрос процессора последовательность k бит из 3-port register file II. Преимущества данной схемы защиты в скорости расчёта, что делает процесс парирования сбоя прозрачным для процессора. При возникновении одновременной ошибки в обоих участках памяти вырабатывается исключительная ситуация «Ошибка при чтении из регистровой памяти».

Разработанный блок Cache FT подобен по своей структуре блоку REG FILES FT. Следует отметить, что при возникновении исключительной ситуации «Ошибка при чтении из Кэш памяти» процессор просто возьмёт верный вариант из ОЗУ. Таким образом, отказоустойчивая архитектура Кэш памяти также является прозрачной для работы приложений, выполняемых процессором LEON3.

Схема отказоустойчивого контроллера памяти представлена на рисунке 2.

